

501.43513X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): KAMO, et al.
Serial No.: Not yet assigned
Filed: February 19, 2004
Title: DISPLAY DEVICE AND MANUFACTURING METHOD
THEREOF
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

February 19, 2004

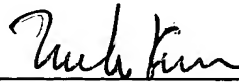
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-040812, filed February 19, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus
Registration No. 22,466

MK/alb
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 9 日
Date of Application:

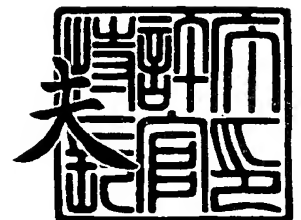
出 願 番 号 特 願 2 0 0 3 - 0 4 0 8 1 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 4 0 8 1 2]

出 願 人 株 式 会 社 日 立 デ ィ ス プ レ イ ズ
Applicant(s):

2 0 0 3 年 1 1 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 330200288

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 賀茂 尚広

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 糸賀 敏彦

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 海東 拓生

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 大倉 理

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社日立ディスプレイズ

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置とその製造方法

【特許請求の範囲】

【請求項 1】 絶縁基板上に薄膜トランジスタを備える表示装置であって、前記薄膜トランジスタは、半導体層と、ゲート電極と、前記半導体層とゲート電極との間に設けられたゲート絶縁膜とを有し、

前記ゲート絶縁膜は、堆積法によって堆積した堆積膜を少なくとも 1 層有し、前記半導体層との間に堆積法によって堆積した他の堆積膜を介在させることなく形成された一の堆積膜における炭素濃度が前記半導体層に近い側の方が前記半導体層から遠い側よりも小さくなるような分布を有することを特徴とする表示装置。

【請求項 2】 前記一の堆積膜における炭素濃度は、前記半導体層に近い側の炭素濃度が前記半導体層から遠い側の炭素濃度の $1/10$ 以下であることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記一の堆積膜における炭素濃度は、前記半導体層に近い側の炭素濃度が $1 \times 10^2 \sim 1 \times 10^3$ [cm^{-3}] であり、前記半導体層から遠い側の炭素濃度が $1 \times 10^3 \sim 1 \times 10^4$ [cm^{-3}] であることを特徴とする請求項 1 又は 2 に記載の表示装置。

【請求項 4】 前記一の堆積膜は、炭素を有する原料ガスを用いた CVD 法で堆積した膜であることを特徴とする請求項 1 から 3 の何れかに記載の表示装置。

【請求項 5】 前記ゲート絶縁膜は、前記一の堆積膜と前記半導体層との間に堆積法以外の方法で形成された酸化膜を有することを特徴とする請求項 1 から 4 の何れかに記載の表示装置。

【請求項 6】 前記薄膜トランジスタは、該薄膜トランジスタが設けられた前記絶縁基板と前記ゲート電極との間に前記半導体層が配置されていることを特徴とする請求項 1 から 5 の何れかに記載の表示装置。

【請求項 7】 前記半導体層は多結晶シリコン層を有することを特徴とする請求項 1 から 6 の何れかに記載の表示装置。

【請求項 8】 前記薄膜トランジスタは n チャンネル型薄膜トランジスタであることを特徴とする請求項 1 から 7 の何れかに記載の表示装置。

【請求項 9】 前記薄膜トランジスタは n チャンネル型でシングルドレイン構造の薄膜トランジスタであることを特徴とする請求項 1 から 7 の何れかに記載の表示装置。

【請求項 10】 前記薄膜トランジスタは p チャンネル型薄膜トランジスタであることを特徴とする請求項 1 から 7 の何れかに記載の表示装置。

【請求項 11】 前記薄膜トランジスタの前記半導体層は少なくとも一方向に測ったときに $1\ \mu\text{m}$ 以上の大きさの結晶を有する半導体層であることを特徴とする請求項 1 から 10 の何れかに記載の表示装置。

【請求項 12】 前記表示装置は液晶表示装置であることを特徴とする請求項 1 から 11 の何れかに記載の表示装置。

【請求項 13】 前記表示装置は有機 EL 表示装置であることを特徴とする請求項 1 から 11 の何れかに記載の表示装置。

【請求項 14】 絶縁基板上に薄膜トランジスタを備え、
前記薄膜トランジスタは、半導体層と、ゲート電極と、前記半導体層とゲート電極との間に設けられたゲート絶縁膜とを有し、

前記ゲート絶縁膜は、堆積法によって堆積した堆積膜を少なくとも 1 層有する表示装置の製造方法であって、

前記半導体層との間に堆積法によって堆積した他の堆積膜を介在させることなく形成された一の堆積膜を形成する際に、前記堆積膜における炭素濃度が前記半導体層に近い側の方が前記半導体層から遠い側よりも小さくするような分布を持たせて形成することを特徴とする表示装置の製造方法。

【請求項 15】 前記一の堆積膜を形成する際に、炭素有するガスと炭素有さないガスとの流量比を変化させて CVD 法で形成することを特徴とする請求項 14 に記載の表示装置の製造方法。

【請求項 16】 前記一の堆積膜を形成する際に、前記炭素有さないガスに対する前記炭素有するガスの流量比を、前記半導体層に近い時に小さく、前記半導体層から遠い時に大きくして CVD 法で形成することを特徴とする請求項

14 または 15 に記載の表示装置の製造方法。

【請求項 17】 絶縁基板上に薄膜トランジスタを備え、

前記薄膜トランジスタは、半導体層と、ゲート電極と、前記半導体層とゲート電極との間に設けられたゲート絶縁膜とを有し、

前記ゲート絶縁膜は、堆積法によって堆積した堆積膜を少なくとも 1 層有する表示装置の製造方法であって、

前記半導体層との間に堆積法によって堆積した他の堆積膜を介在させることなく形成された一の堆積膜を形成する際に、炭素を有さないガスに対する炭素を有するガスの流量比を、前記半導体層に近い時に小さく、前記半導体層から遠い時に大きくして CVD 法で形成することを特徴とする表示装置の製造方法。

【請求項 18】 前記一の堆積膜を形成する際に、炭素を有さないガスに対する炭素を有するガスの流量比を、成膜開始時の方が成膜終了時よりも小さくして CVD 法で形成することを特徴とする請求項 17 に記載の表示装置の製造方法。

【請求項 19】 前記ゲート絶縁膜を形成する際に、前記半導体層の上に堆積法以外の方法で酸化膜を形成した後、堆積法により前記一の堆積膜を形成することを特徴とする請求項 17 または 18 に記載の表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に係り、たとえばアクティブ・マトリクス型と称される表示装置に関する。

【0002】

【従来の技術】

たとえばこの種の液晶表示装置は、液晶を介して互いに対向配置される各基板の一方の基板の液晶側の面に、x 方向に延在され y 方向に並設されるゲート信号線と、y 方向に延在され x 方向に並設されるドレイン信号線とが形成され、これら各信号線に囲まれた各領域を画素領域として構成している。

【0003】

そして、各画素領域には、その片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを少なくとも備える。

【0004】

また、前記一方の基板あるいは他方の基板の液晶側の面には、前記画素電極との間に電界を発生させて液晶の光透過率を制御する対向電極とを備える。

【0005】

さらに、近年において、前記薄膜トランジスタはその半導体層として低温で形成できるポリシリコン（ $p-Si$ ）で構成されたものが知られるようになってきている。

【0006】

この場合、前記薄膜トランジスタのゲート絶縁膜において、それをたとえば高温酸化法等のように高温で生成させる方法を回避し、たとえばCVD法等のように比較的低温で形成できる方法を用いて成膜しているのが通常である。

【0007】

しかし、該ゲート絶縁膜として、必ずしもCVD法等により形成した絶縁膜のみに限らず、低温酸化法等で形成した絶縁膜との多層構造にしたものも知られている（特許文献1、2、3参照）。薄膜トランジスタの界面準位密度を低減させるため、あるいはその他の効果を奏せんがためである。

【0008】

なお、このようなポリシリコンからなる薄膜トランジスタを備える液晶表示装置において、ゲート信号線に走査信号を供給する走査信号駆動回路あるいはドレイン信号線に映像信号を供給する映像信号駆動回路などを前記一方の基板に形成し、それら周辺回路に組み込まれるMIS（Metal Insulator Semiconductor）トランジスタの半導体層もポリシリコンで構成するのが通常である。該MISトランジスタを画素領域の薄膜トランジスタの形成と並行して形成できるからである。

【特許文献1】

特開平8-195494号公報

【特許文献 2】

特開 2 0 0 0 - 9 1 5 9 0 号公報

【特許文献 3】

特開 2 0 0 0 - 2 2 3 7 1 2 号公報

【0 0 0 9】**【発明が解決しようとする課題】**

しかしながら、このようにポリシリコンからなる薄膜トランジスタのゲート絶縁膜として、たとえば C V D 法によって形成された絶縁膜を少なくとも 1 層有し、この絶縁膜がポリシリコン層とたとえば直接に当接して形成されている場合に、次のような不都合が発生することが見出された。

【0 0 1 0】

すなわち、前記絶縁膜を C V D 法によって成膜した場合、その原料ガス（T E O S、T M S 等）中に含まれる炭素が膜中にとりこまれる結果、ポリシリコン層との界面の準位が高くなり、さらに該絶縁膜中の固定電荷が多くなってしまい、薄膜トランジスタの電氣的な信頼性が劣化してしまうことが確認された。

【0 0 1 1】

本発明は、このような事情に基づいてなされたもので、その目的は、薄膜トランジスタにおいてその絶縁膜のポリシリコン層に対する界面の準位が高くなるのを回避し、かつ、該絶縁膜中の固定電荷が多くなるのを回避した表示装置を提供することにある。

【0 0 1 2】**【課題を解決するための手段】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

なお、以下の各発明の説明において、堆積法によって堆積した堆積膜とはたとえば C V D 法等によって形成した膜をいい、たとえば酸化法等のように堆積法以外で形成した膜と区別した概念で示すものである。

【0 0 1 3】

手段 1.

本発明による表示装置は、たとえば、絶縁基板上に薄膜トランジスタを備える表示装置であって、

前記薄膜トランジスタは、半導体層と、ゲート電極と、前記半導体層とゲート電極との間に設けられたゲート絶縁膜とを有し、

前記ゲート絶縁膜は、堆積法によって堆積した堆積膜を少なくとも1層有し、
前記半導体層との間に堆積法によって堆積した他の堆積膜を介在させることなく形成された一の堆積膜における炭素濃度が前記半導体層に近い側の方が前記半導体層から遠い側よりも小さくなるような分布を有することを特徴とするものである。

【0014】

手段2.

本発明による表示装置は、たとえば、手段1の構成を前提とし、前記一の堆積膜における炭素濃度は、前記半導体層に近い側の炭素濃度が前記半導体層から遠い側の炭素濃度の $1/10$ 以下であることを特徴とするものである。

【0015】

手段3.

本発明による表示装置は、たとえば、手段1又は2の構成を前提とし、前記一の堆積膜における炭素濃度は、前記半導体層に近い側の炭素濃度が $1 \times 10^{-20} \sim 1 \times 10^{-21} [\text{cm}^{-3}]$ であり、前記半導体層から遠い側の炭素濃度が $1 \times 10^{-21} \sim 1 \times 10^{-22} [\text{cm}^{-3}]$ であることを特徴とするものである。

【0016】

手段4.

本発明による表示装置は、たとえば、手段1から3の何れかの構成を前提とし、前記一の堆積膜は、炭素を有する原料ガスを用いたCVD法で堆積した膜であることを特徴とするものである。

【0017】

手段5.

本発明による表示装置は、たとえば、手段1から4の何れかの構成を前提とし、前記ゲート絶縁膜は、前記一の堆積膜と前記半導体層との間に堆積法以外の方

法で形成された酸化膜を有することを特徴とするものである。

【0018】

手段 6.

本発明による表示装置は、たとえば、手段 1 から 5 の何れかの構成を前提とし、前記薄膜トランジスタは、該薄膜トランジスタが設けられた前記絶縁基板と前記ゲート電極との間に前記半導体層が配置されていることを特徴とするものである。

【0019】

手段 7.

本発明による表示装置は、たとえば、手段 1 から 6 の何れかの構成を前提とし、前記半導体層は多結晶シリコン層を有することを特徴とするものである。

【0020】

手段 8.

本発明による表示装置は、たとえば、手段 1 から 7 の何れかの構成を前提とし、前記薄膜トランジスタは n チャネル型薄膜トランジスタであることを特徴とするものである。

【0021】

手段 9.

本発明による表示装置は、たとえば、手段 1 から 7 の何れかの構成を前提とし、前記薄膜トランジスタは n チャネル型でシングルドレイン構造の薄膜トランジスタであることを特徴とするものである。

【0022】

手段 10.

本発明による表示装置は、たとえば、手段 1 から 7 の何れかの構成を前提とし、前記薄膜トランジスタは p チャネル型薄膜トランジスタであることを特徴とするものである。

【0023】

手段 11.

本発明による表示装置は、たとえば、手段 1 から 10 の何れかの構成を前提と

し、前記薄膜トランジスタの前記半導体層は少なくとも一方向に測ったときに $1\mu\text{m}$ 以上の大きさの結晶を有する半導体層であることを特徴とするものである。

【0024】

手段 12.

本発明による表示装置は、たとえば、手段 1 から 11 の何れかの構成を前提とし、前記表示装置は液晶表示装置であることを特徴とするものである。

【0025】

手段 13.

本発明による表示装置は、たとえば、手段 1 から 11 の何れかの構成を前提とし、前記表示装置は有機 EL 表示装置であることを特徴とするものである。

【0026】

手段 14.

本発明による表示装置の製造方法は、たとえば、絶縁基板上に薄膜トランジスタを備え、

前記薄膜トランジスタは、半導体層と、ゲート電極と、前記半導体層とゲート電極との間に設けられたゲート絶縁膜とを有し、

前記ゲート絶縁膜は、堆積法によって堆積した堆積膜を少なくとも 1 層有する表示装置の製造方法であって、

前記半導体層との間に堆積法によって堆積した他の堆積膜を介在させることなく形成された一の堆積膜を形成する際に、前記堆積膜における炭素濃度が前記半導体層に近い側の方が前記半導体層から遠い側よりも小さくするような分布を持たせて形成することを特徴とするものである。

【0027】

手段 15.

本発明による表示装置の製造方法は、たとえば、手段 14 の構成を前提とし、前記一の堆積膜を形成する際に、炭素を有するガスと炭素を有さないガスとの流量比を変化させて CVD 法で形成することを特徴とするものである。

【0028】

手段 16.

本発明による表示装置の製造方法は、たとえば、手段14又は15の構成を前提とし、前記一の堆積膜を形成する際に、前記炭素を有さないガスに対する前記炭素を有するガスの流量比を、前記半導体層に近い時に小さく、前記半導体層から遠い時に大きくしてCVD法で形成することを特徴とするものである。

【0029】

手段17.

本発明による表示装置の製造方法は、たとえば、絶縁基板上に薄膜トランジスタを備え、

前記薄膜トランジスタは、半導体層と、ゲート電極と、前記半導体層とゲート電極との間に設けられたゲート絶縁膜とを有し、

前記ゲート絶縁膜は、堆積法によって堆積した堆積膜を少なくとも1層有する表示装置の製造方法であって、

前記半導体層との間に堆積法によって堆積した他の堆積膜を介在させることなく形成された一の堆積膜を形成する際に、炭素を有さないガスに対する炭素を有するガスの流量比を、前記半導体層に近い時に小さく、前記半導体層から遠い時に大きくしてCVD法で形成することを特徴とするものである。

【0030】

手段18.

本発明による表示装置の製造方法は、たとえば、手段17の構成を前提とし、前記一の堆積膜を形成する際に、炭素を有さないガスに対する炭素を有するガスの流量比を、成膜開始時の方が成膜終了時よりも小さくしてCVD法で形成することを特徴とするものである。

【0031】

手段19.

本発明による表示装置の製造方法は、たとえば、手段17または18の構成を前提とし、前記ゲート絶縁膜を形成する際に、前記半導体層の上に堆積法以外の方法で酸化膜を形成した後、堆積法により前記一の堆積膜を形成することを特徴とするものである。

【0032】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【0033】

【発明の実施の形態】

以下、本発明による表示装置の実施例を図面を用いて説明をする。

《等価回路》

図15は、たとえば液晶表示装置の一実施例を示す等価回路図である。

液晶を介して互いに対向配置される一対の透明基板SUB1、SUB2があり、該液晶は一方の透明基板SUB1に対する他方の透明基板SUB2の固定を兼ねるシール材SLによって封入されている。

【0034】

シール材SLによって囲まれた前記一方の透明基板SUB1の液晶側の面には、そのx方向に延在しy方向に並設されたゲート信号線GLとy方向に延在しx方向に並設されたドレイン信号線DLとが形成されている。

【0035】

各ゲート信号線GLと各ドレイン信号線DLとで囲まれた領域は画素領域を構成するとともに、これら各画素領域のマトリクス状の集合体は液晶表示部ARを構成するようになっている。

【0036】

各画素領域には、その片側のゲート信号線GLからの走査信号によって作動される薄膜トランジスタTF Tと、この薄膜トランジスタTF Tを介して片側のドレイン信号線DLからの映像信号が供給される画素電極PXが形成されている。

【0037】

なお、この薄膜トランジスタTF Tは、この実施例では、その半導体層がポリシリコンで構成されたものとなっている。

【0038】

前記画素電極PXは、他方の透明基板SUB2の液晶側の面に各画素領域に共通に形成した対向電極CT（図示せず）との間に電界を発生させ、この電界によって液晶の光透過率を制御させるようになっている。

【0039】

前記ゲート信号線GLのそれぞれの一端は前記シール材SLを超えて延在され、その延在端は走査信号駆動回路Vに接続され、該走査信号駆動回路Vから各ゲート信号線GLに走査信号を供給するようになっている。

【0040】

なお、走査信号駆動回路Vや映像信号駆動回路Heなどの周辺回路をシール材SLよりも内側に形成してもよい。

【0041】

同様に、前記ドレイン信号線DLのそれぞれの一端は前記シール材SLを超えて延在され、その延在端は映像信号駆動回路Heに接続され、該映像信号駆動回路Heから各ドレイン信号線DLに映像信号を供給するようになっている。

【0042】

前記走査信号駆動回路Vおよび映像信号駆動回路Heのそれぞれは、nチャネル型MIS (Metal Insulator Semiconductor) トランジスタおよびpチャネル型MIS トランジスタからなる相補型トランジスタが多数接続されて構成され、それら各トランジスタの半導体層はポリシリコンで構成されたものとなっている。

【0043】

なお、これらMIS トランジスタは画素領域内に形成される薄膜トランジスタTFTとほぼ同様の構成からなる薄膜トランジスタである。このため、この明細書では、MIS トランジスタと称する場合は薄膜トランジスタと同義であるが、以下の説明において、必要に応じて、画素領域内の薄膜トランジスタ、前記走査信号駆動回路Vあるいは映像信号駆動回路He内のMIS トランジスタというように、それらを区別して称する場合がある。

【0044】

走査信号駆動回路Vおよび映像信号駆動回路Heの形成は前記各画素領域の形成と並行してなされ、画素領域内の薄膜トランジスタTFTの形成と並行して前記MIS トランジスタが形成されるようになっている。

【0045】

このように構成された液晶表示装置において、前記各ゲート信号線GLは、走査信号駆動回路Vからの走査信号によって、その一つが順次選択されるようになっている。

【0046】

また、前記各ドレイン信号線DLのそれぞれには、映像信号駆動回路Heによって、前記ゲート信号線GLの選択のタイミングに合わせて映像信号が供給されるようになっている。

【0047】

《薄膜トランジスタ》

図1は、図15に示す薄膜トランジスタTF Tの一実施例を示す断面図で、たとえばトップゲート型と称されるnチャネル型薄膜トランジスタを示している。

【0048】

図において、透明基板SUB 1の表面には、ポリシリコン層からなる半導体層PSが形成されている。この半導体層PSはたとえばプラズマCVD装置によって成膜したアモルファスSi膜をたとえばエキシマレーザアニール(ELA)によって多結晶化したものである。

【0049】

なお、この半導体層PSは、透明基板SUB 1の表面にSiOあるいはSiNからなる下地層を形成し、この下地層の上面に形成してもよい。この下地層は透明基板SUB 1に含まれるイオン性不純物が薄膜トランジスタTF Tに影響を及ぼすのを回避することができるからである。

【0050】

前記半導体層PSの上面には該半導体層PSが形成されていない透明基板SUB 1上の領域をも被って絶縁膜GIが形成されている。この絶縁膜GIは薄膜トランジスタTF Tの形成領域においてはゲート絶縁膜として機能するものである。

【0051】

該絶縁膜GIの上面には該半導体層PSのほぼ中央を横切るようにしてゲート電極GTが形成されている。このゲート電極GTは前記ゲート信号線GLと電気

的に接続されており、この場合、該ゲート信号線GLと一体にあるいは別体に形成されていてもよい。

【0052】

このゲート電極GTと重畳される半導体層PSの領域は薄膜トランジスタTF Tのチャネル領域CHとして構成され、このゲート電極GTに対して一方の側の半導体層PSの領域はドレイン領域DT、他方の側の半導体層PSの領域はソース領域STとして構成されている。

【0053】

なお、液晶表示装置の回路ではその極性は動作中に反転する場合があります、該薄膜トランジスタTF Tのドレイン領域DTおよびソース領域STは該動作中に入れ替わるようになる。しかし、以下の説明では、便宜上、ドレイン信号線DLに接続される側をドレイン領域DT、画素電極PXに接続される側をソース領域STと称する。

【0054】

なお、この実施例の場合、ドレイン領域DTのゲート電極GTと近接する端辺との間、およびソース領域STのゲート電極GTと近接する端辺との間にはいわゆるLDD (Lightly Doped Drain) 領域LDDが形成されたものとなっている。ドレイン領域DTあるいはソース領域STのゲート電極GTとの近接した部分において電界集中が生じるのを回避するためである。

【0055】

ドレイン領域DTおよびソース領域STには高濃度の n^+ 型不純物がドーピングされ、LDD領域LDDには低濃度の n^- 型不純物がドーピングされて構成されており、これらの不純物のドーピングはたとえば前記ゲート電極GTあるいは他のマスクを介して前記絶縁膜GIを通してなされるようになっている。

【0056】

ここで、前記絶縁膜GIは、たとえばCVD法等の堆積法により形成され、その半導体層PSとの界面側から他の面（ゲート電極GTが形成されている面）にかけて、炭素濃度が小から大となるような分布を有するように構成されている。

【0057】

薄膜トランジスタ T F T において、その絶縁膜 G I の半導体層 P S に対する界面の準位が高くなるのを回避し、かつ、該絶縁膜中の固定電荷が多くなるのを回避するためには、該絶縁膜 G I の全域にわたって炭素濃度を小さくすることが考えられるが、このようにした場合、いわゆるデポレートは大幅に低減され、スループットが極めて悪くなることから、上述したように、半導体層 P S の界面側にて炭素濃度が小さくなるような分布をもたせた構成となっている。

【0058】

図 2 (a) は、半導体層 P S の上面に形成された前記絶縁膜 G I における炭素濃度の分布の一実施例を示した断面図で、該半導体層 P S との界面側では炭素濃度が小さく、該界面と反対側の面において炭素濃度が大きいことを示している。図中において、+ に示す符号は炭素分子を示し、この分布の粗密で炭素濃度の小あるいは大を示している。

【0059】

この場合における絶縁膜 G I の膜厚方向における炭素濃度の分布は、たとえば図 3 (a) に示すようになっている。ここで、横軸は半導体層 P S との界面からの膜厚距離（原点から遠のくに従い大きくなる）を、縦軸は炭素濃度（原点から遠のくに従い大きくなる）を示している。半導体層 P S との界面から数十 nm の部分（図中点線部分）を境にして該半導体層 P S 側において炭素濃度が低く該半導体層 P S と反対側において高くなっている。図中界面から数十 nm までの絶縁膜 G I の炭素濃度はたとえば $10^{20} \sim 10^{21} / \text{cm}^3$ 程度、数十 nm より上方の絶縁膜 G I の炭素濃度はその 10 倍程度、すなわち $10^{21} \sim 10^{22} / \text{cm}^3$ 程度である。また、図 3 (b) に示すように、半導体層との界面から数十 nm の部分（原点から遠のくに従い大きくなる）にかけて徐々に炭素濃度を高くするようにしてもよい。

【0060】

図 2 (b) は前記薄膜トランジスタ T F T の他の実施例を示すもので、図 2 (a) と対応した図となっている。この実施例の場合、該薄膜トランジスタ T F T の絶縁膜はその半導体層 P S 側から低温酸化法で形成した絶縁膜 G I (H) と C V D 法で形成した絶縁膜 G I との 2 層構造となっている。

【0061】

低温酸化法で形成した絶縁膜GI (H) はその膜厚が約2 nm程度となっており、その上面に形成されるCVD法による絶縁膜GIは、図2 (a) に示した絶縁膜GIと同様に、前記絶縁膜GIとの界面側では炭素濃度が小さく、該界面と反対側の面側において炭素濃度が大きくなっている。

【0062】

図3 (c) は、図3 (a) に示したと同様に、前記絶縁膜GIの膜厚方向における炭素濃度の分布を示し、半導体層との界面から約2 nmの部分 (点線Aで示す) にかけて炭素濃度が均一に低く (たとえば $10^{20}/\text{cm}^3$ 以下)、該2 nmの部分において段差的に炭素濃度が増加し、さらに該界面から数十 nmの部分 (点線Bで示す) において滑らかであるが段差的に炭素濃度が増加する分布となっている。また、このような分布に限定されず、たとえば図3 (d) に示すように、該2 nmの部分 (点線Aで示す) において段差的に炭素濃度が増加した後、さらに半導体層PSとの界面から数十 nmの部分 (点線Bで示す) にかけて徐々に増加し、その後、ほぼ一定の濃度になるような分布となってもよい。

【0063】

このように形成した場合でも、半導体層PSとの界面近くの絶縁膜GIの炭素濃度は極めて小さいことから、絶縁膜GIの半導体層PSに対する界面の準位が高くなるのを回避し、かつ、該絶縁膜GI中の固定電荷が多くなるのを回避することができる。また、半導体層PSとの界面近くを除く部分において炭素濃度は多くなっていることからいわゆるデポレートは低減せずスループットの劣化を回避することができる。

【0064】

なお、上述した実施例ではいわゆるトップゲート型の薄膜トランジスタについて説明したものであるが、いわゆるボトムゲート型の薄膜トランジスタについても適用できることはいうまでもない。この場合にも、ゲート絶縁膜は半導体層との界面側において炭素濃度を低くするとともに、該界面と反対側の面側において炭素濃度を高くすればよい。

【0065】

《薄膜トランジスタの特性》

図4は、上述した構成の薄膜トランジスタのストレス時間に対するオン電流変動率の特性を示したグラフである。ここで、横軸はストレス時間（秒）を、縦軸にオン電流変動率を示している。

【0066】

試作した対象としては、その絶縁膜が低温酸化法で形成した絶縁膜GI（H）とCVD法で形成した絶縁膜GIの2層構造となっているもの、およびCVD法で形成した絶縁膜GIのみの構造のものとしている。

【0067】

ここで、低温酸化法で形成した絶縁膜GI（H）としては、半導体層PSとの界面からたとえば4nmまで酸素プラズマ酸化したものを用いた。

【0068】

また、これら各薄膜トランジスタTFTはその初期特性（移動度、S値）が同程度のものを用いて測定を行なった。さらに、LDD領域LDDの幅が1 μ mのnチャネル型であって、チャネル幅W／チャネル長Lが4／4 μ mを用い、ストレス条件はゲート電圧 V_{th} （@ $V_d=0.1V$ ）+1V、 $V_d=12V$ のドレインアバランシェホットキャリア（DAHC）ストレスとした。

【0069】

図中、4つの特性曲線A、B、C、Dが示されているが、上から順に、本実施例を適用せず絶縁膜をCVD法で形成した場合の特性曲線A、本実施例を適用せず絶縁膜を低温酸化法で形成した絶縁膜とCVD法で形成した絶縁膜の2層構造で形成した場合の特性曲線B、本実施例を適用し絶縁膜をCVD法で形成した場合の特性曲線C、本実施例を適用し絶縁膜を低温酸化法で形成した絶縁膜とCVD法で形成した絶縁膜の2層構造で形成した場合の特性曲線Dとなっている。

【0070】

このグラフから明らかとなるように、図中下から2つの各特性曲線C、D、すなわち本実施例を適用して、堆積法による絶縁膜GIに炭素濃度分布を持たせた薄膜トランジスタTFTはストレス時間に対してそのオン電流変動率が小さくなっており、該薄膜トランジスタTFTの信頼性が向上している。

【0071】

《製造方法》

図5 (a) ないし (e)、および図6 (f) ないし (i) は、前記薄膜トランジスタTF Tの製造方法の一実施例を示す工程図を示している。ここで、これらの図の左側にはnチャネル型MISトランジスタ (図中N-MISと示している) を、右側にはpチャネル型MISトランジスタ (図中P-MISと示している) をそれぞれ示している。

【0072】

上述したように、画素領域内に形成される薄膜トランジスタTF Tは通常nチャネル型のものが形成され、映像信号駆動回路および走査信号線駆動回路内においてはnチャネル型およびpチャネル型の相補型のMISトランジスタが多数形成され、これらは並行して製造される。

【0073】

このことから、図5および図6は、それぞれの製造の各工程においてnチャネル型MISトランジスタおよびpチャネル型MISトランジスタを並列させて描いている。

【0074】

以下、工程順に説明する。

工程1. (図5 (a))

まず、透明基板SUB 1の主表面にシリコン窒化膜およびシリコン酸化膜を順次形成する。これらの膜は下地層UGと称するもので、これらの膜の上面に形成する薄膜トランジスタTF Tに透明基板SUB 1からのナトリウム不純物が侵入するのを防止するために形成されるものである。

【0075】

工程2. (図5 (b))

前記下地層UGの上面にアモルファスシリコン膜を成膜し、エキシマレーザアニール (ELA) することにより、該アモルファスシリコン膜を多結晶化させた半導体層PSを形成する。そして、この半導体層PSをホット・エッチング法を用いて島状に加工する。

【0076】

工程 3. (図 5 (c))

透明基板 SUB1 の表面に前記半導体層 PS をも被って絶縁膜 GI を形成する。この絶縁膜はたとえば CVD 法等のいわゆる堆積法で形成される。

【0077】

その原料ガスとしてはたとえば図 7 (a) に示す構造式を有するテトラエトキシシラン (TEOS)、図 7 (b) に示す構造式を有するテトラメトキシシラン (TMS)、図 7 (c) に示す構造式を有する酸素 (O_2) が用いられる。

【0078】

この場合、テトラエトキシシランと酸素の組み合わせ、あるいはテトラメトキシシランと酸素の組み合わせた原料ガスであってもよい。

【0079】

テトラエトキシシランあるいはテトラメトキシシランはそのいずれにおいても前記構造式から明らかとなるように炭素原子を含んでおり、これらを原料ガスとして形成した絶縁膜 GI には必然的に炭素を含んで形成されることになる。

【0080】

このような原料ガスを用いて CVD 法により絶縁膜 GI を形成する際に、そのチャンバ内に流入させる該原料ガスの TEOS・TMS/ O_2 流量比、あるいは TEOS/ O_2 流量比、TMS/ O_2 流量比を制御し、該流量比を小から大に至るようにして変化させる。

【0081】

テトラエトキシシランあるいはテトラメトキシシランにはそれぞれ炭素が含まれており、前記絶縁膜の形成の際に、最初の段階では該炭素の量を少なく、その後多くなるように前記制御を行なう。

【0082】

図 8 は、原料ガスとしてテトラエトキシシラン (TEOS) と酸素 (O_2) を用いた場合、前記絶縁膜の形成の際に、TEOS/ O_2 流量比を上述したように小から大に至るようにして変化させるが、その際におけるデポレートと膜質の関係を示したグラフである。ここで、横軸には TEOS/ O_2 流量比を示し (原点

から遠のくに従い大となる)、縦軸にはデポレート(原点から遠のくに従い速くなる)および膜質(原点から遠のくに従い良質になる)を示している。

【0083】

デポレートを示す特性曲線(a)に示すように、該デポレートは最初のうちは遅くなるが徐々にその速さを増してくることから、全体としてデポレートに要する時間は短くなる。また、膜質を示す特性曲線(b)に示すように、該膜質は特にそれが要求される半導体層PSとの界面近傍において良質となることが明らかになる。

【0084】

なお、このような絶縁膜GIを形成する前に、予め半導体層PSの表面に低温酸化法による絶縁膜GI(H)を形成してもよいことは上述した通りである。

【0085】

この場合、低温酸化法による絶縁膜GI(H)はその膜厚をたとえば2nm～4nmとするのが好適である。このように比較的薄く形成するのはその成長時間が長いことから約2nm～4nm程度に止め、その不足分をその上層に形成するCVD法による絶縁膜GIで賄うようにするからである。

【0086】

低温酸化法による絶縁膜GI(H)はその膜質が良質であり、半導体層PSとの界面から2nm～4nmの部分で炭素濃度が $10^{20}/\text{cm}^3$ 以下となり、固定電荷および界面準位においていずれも少ない値をとる。

【0087】

なお、低温酸化法としては、たとえばオゾン(O₃)水酸化法、UV-オゾン(O₃)酸化法、オゾン(O₃)酸化法、酸素プラズマ酸化法等があり、そのいずれを用いてもよい。

【0088】

ここで、酸素プラズマ酸化法を用いた場合の処理時間とその酸化膜厚との関係のグラフを図9に示し、また、UV-オゾン(O₃)酸化法を用いた場合の処理時間とその酸化膜厚との関係のグラフを図10に示す。ここで、いずれのグラフにおいてもその横軸に処理時間(分)を、縦軸に酸化膜厚(nm)を示している

【0089】

このようにして低温酸化法による絶縁膜を形成した後、CVD法による絶縁膜を積層させることになるが、この場合におけるそれらのデポレートの比率を図11に示している。同図において、CVD法はプラズマCVD法を例に挙げているが、たとえばTEOS/O₂の比率が1/1 (1:1)の場合と1/5 (1:5)の場合を例示している。また、低温酸化法としてはUV-O₃酸化法および酸素プラズマ酸化法を例示している。

【0090】

これから明らかとなるように、低温酸化法によるデポレートはCVD法によるそれよりも極めて小さいことから薄膜トランジスタのゲート絶縁膜の形成において処理に時間がかかる。

【0091】

図12は、絶縁膜GIを形成する場合において、成膜時間に対する膜厚依存性を示すグラフである。ここで、その横軸には絶縁膜膜厚 (nm) を、縦軸には酸化時間 (秒) を示している。

【0092】

図中、4つの特性曲線A、B、C、Dが描かれており、その上方から順次、O₂プラズマ法とCVD法を使用し炭素濃度分布を有する場合の特性曲線D、O₂プラズマ法とCVD法を使用し炭素濃度分布を有しない場合の特性曲線B、CVD法を使用し炭素濃度分布を有する場合の特性曲線C、CVD法を使用し炭素濃度分布を有さない場合の特性曲線Aをそれぞれ示している。

【0093】

図12における特性曲線A、B、C、Dは、それぞれ図4における特性曲線A、B、C、Dに対応している。

【0094】

ゲート絶縁膜を堆積法による膜のみで形成した例が、特性曲線A、Cである。低温酸化法 (これは堆積法ではない) による膜と堆積法による膜の2層構造とした例が、特性曲線B、Dである。これらの中で、本発明を適用して堆積法による

膜に炭素濃度分布をもたせたものは、特性曲線 C、D である。

【0095】

低温酸化法を用いていない特性曲線 A、C は、低温酸化法を用いている特性曲線 B、D と比較して成膜に要する時間が非常に短く、スループットが良いことがわかる。

【0096】

本発明を適用した特性曲線 C では、図 12 からわかるように特性曲線 A に比べて成膜時間が若干長くなってしまふもののその差は小さく、低温酸化法を用いている特性曲線 B のものに比べれば非常に高速である。そして、図 4 からわかるように、特性曲線 C の方が特性極性 A に比べて特性が大幅に向上しているだけでなく、その特性は、低温酸化法を用いた特性曲線 B のものと同程度か、それよりも若干良いぐらいである。

【0097】

本発明を適用した特性曲線 D では、図 12 からわかるように特性曲線 B に比べて成膜時間が若干長くなってしまふものの、低温酸化法に要する時間と比較すればその差は小さく、特性曲線 B とほとんど変わらない。そして、図 4 からわかるように、特性曲線 D の方が特性曲線 A、B、C に比べて大幅に向上している。

【0098】

以上の説明からわかるように、本発明によってゲート絶縁膜の中の堆積法による膜における炭素濃度に所定の分布を持たせることにより、特性の良い薄膜トランジスタをスループットよく形成することが可能となる。

【0099】

また、図 13 は、本実施例において、薄膜トランジスタ TFT の絶縁膜の構成として低温酸化膜を介在させる場合（図 13（a））と低温酸化膜を介在させない場合（図 13（b））であって、CVD 法によって形成する絶縁膜に炭素濃度分布をもたせる場合において、それぞれにおける成膜速度を該絶縁膜の厚さとの関係で示した図である。

【0100】

すなわち、図 13（a）において、半導体層 PS との界面から低温酸化膜の上

面の高さを 4 nm、炭素濃度の低い堆積膜の上面の高さを 20 nm、炭素濃度の高い堆積膜の上面の高さを 100 nmにした場合のそれぞれの膜の成膜レートを示している。ここで、低温酸化膜はたとえば O_2 プラズマで形成し、約 5 分で形成でき、その上面の低炭素濃度の堆積膜を 100 nm/分の割合で、さらにその上面の高炭素濃度の堆積膜を 800 nm/分の割合で形成できる。

【0101】

また、図 13 (b) において、半導体層 P S との界面から炭素濃度の低い堆積膜の上面の高さを 20 nm、炭素濃度の高い堆積膜の上面の高さを 100 nmにした場合のそれぞれの膜の成膜レートを示している。ここで、低炭素濃度の堆積膜を 100 nm/分の割合で、さらにその上面の高炭素濃度の堆積膜を 800 nm/分の割合で形成できる。

【0102】

工程 4. (図 5 (d))

ゲート電極 G T の材料層を被膜した後、フォトレジスト膜 R E を形成し、n チャネル型薄膜トランジスタ T F T の形成領域において前記フォトレジスト膜 R E によってゲート電極 G T のパターン形成のためのマスクを形成する。p チャネル型薄膜トランジスタの形成領域においては前記フォトレジスト膜 R E をそのまま残してマスクする。

【0103】

ゲート電極 G T はそのマスクに対して約 $1 \mu m$ のサイドエッチがなされる程度にパターニングする。このサイドエッチ量は次の工程において形成する L D D 領域 L D D の幅の値に対応する量となる。

【0104】

前記フォトレジスト膜 R E をそのままマスクとして高濃度の n^+ 不純物をインプラする。これより、n チャネル型薄膜トランジスタの半導体層には絶縁膜 G I を通して該 n^+ 不純物がドーピングされ、ソース領域 S T およびドレイン領域 D T が形成されるようになる。

【0105】

工程 5. (図 5 (e))

前記フォトリジスト膜REを除去し、低濃度の n^- 不純物をインプラする。 n チャネル型薄膜トランジスタTFETの形成領域においては、そのゲート電極GTがマスクの機能を有し、それからはみ出た半導体層PSには絶縁膜GIを通して該 n^- 不純物がドーピングされる。これにより、ソース領域STとそれに近接するゲート電極GTの端辺との間、およびドレイン領域DTとそれに近接するゲート電極GTの端辺との間にそれぞれLDD領域LDDが形成される。

【0106】

なお、 p チャネル型薄膜トランジスタTFETの形成領域においては、その全域にゲート電極GTの材料層が被われていることから、その半導体層PSには不純物はドーピングされることはない。

【0107】

工程6. (図6(f))

透明基板SUB1の表面の全域にフォトリジスト膜REを形成し、 p チャネル型薄膜トランジスタTFETの形成領域において前記フォトリジスト膜REによってゲート電極GT形成のためのマスクを形成する。 n チャネル型薄膜トランジスタTFETの形成領域においては前記フォトリジスト膜REをそのまま残してマスクする。

【0108】

そして、前記マスクから露出された材料層をエッチングすることにより p チャネル型薄膜トランジスタTFETのゲート電極GTを形成する。この場合、 p チャネル型薄膜トランジスタTFETにおいてはLDD領域を形成する必要性が乏しいことから、前記ゲート電極GTをサイドエッチングすることなくパターンニングする。

【0109】

その後、前記フォトリジスト膜REをそのままマスクとして高濃度の p^+ 不純物をインプラする。これより、 p チャネル型薄膜トランジスタの半導体層PSには絶縁膜を通して p^+ 不純物がドーピングされ、ソース領域STおよびドレイン領域DTが形成されるようになる。

【0110】

工程 7. (図 6 (g))

前記フォトリソ膜 R E を除去する。これにより、たとえば n チャンネル型薄膜トランジスタ T F T は図 1 に示した構成と同様となる。

【0111】

工程 8. (図 6 (h))

薄膜トランジスタ T F T が形成された透明基板 S U B 1 の表面に該薄膜トランジスタ T F T をも被って保護膜 P A S を形成する。この保護膜 P A S は該薄膜トランジスタ T F T を液晶との直接の接触を回避し、該薄膜トランジスタ T F T の特性が劣化するのを防止するための膜で、たとえばシリコン窒化膜あるいはシリコン酸化膜等の無機材料であっても、樹脂等の有機材料層であってもよい。さらには無機材料と有機材料との順次積層膜であってもよい。

【0112】

工程 9. (図 6 (i))

前記保護膜 P A S およびその下層の絶縁膜 G I を貫通する穴を形成することにより、各薄膜トランジスタ T F T のドレイン領域 D T およびソース領域 S T の一部を露出させる。

【0113】

そして、該ドレイン領域 D T およびソース領域 S T にそれぞれ接続される電極 T M を形成する。

【0114】

この電極は、たとえば画素領域内に形成される n チャンネル型薄膜トランジスタの場合、一方がドレイン信号線と一体に形成される電極であり、他方が画素電極 P X と接続される電極となる。また、これらの各薄膜トランジスタが映像信号駆動回路および走査信号駆動回路に組み込まれるものであるならば、他方の薄膜トランジスタの電極に接続される配線層と一体にあるいは別体に接続される電極として構成される。

【0115】

《液晶表示パネルの適用》

図 1 4 (a) は、たとえば携帯電話の表示部に組み込まれる液晶表示パネルの

一実施例の平面図を示している。

【0116】

液晶表示部A Rの近傍に周辺回路として走査信号駆動回路Vおよび映像信号駆動回路H eが配置され、これら各回路は液晶を介して対向配置される各基板のうちの一方の基板面に多数のM I SトランジスタとこれらM I Sトランジスタ等を接続させる配線層等で構成されている。この場合の各M I Sトランジスタはその半導体層がポリシリコンで形成され、画素領域内の薄膜トランジスタと並行して形成されることは上述したとおりである。

【0117】

この場合において、それぞれのM I Sトランジスタにおいて、nチャネル型のそれはその半導体層にL D D領域が形成されたものとなっている。

【0118】

なお、前記走査信号駆動回路Vおよび映像信号駆動回路H eにはフレキシブル配線層F Bを介してそれぞれに信号が供給されるようになっている。

【0119】

また、図14（b）は、携帯電話の表示部に組み込まれる液晶表示パネルの一実施例の平面図を示し、図14（a）に対応した図となっている。

【0120】

液晶表示部A R内の薄膜トランジスタT F Tおよび走査信号駆動回路V内のM I Sトランジスタは、液晶駆動を必要とするため、その駆動電圧が12V程度であり、nチャネル型のM I Sトランジスタであって、その半導体層にはL D D領域が形成されたものが用いられている。

【0121】

一方、映像信号駆動回路H e内のM I Sトランジスタは、その特性が要求されるため、nチャネル型のM I Sトランジスタであって、その半導体層にはL D D領域が形成されていないものが用いられている（シングルドレイントランジスタ）。

【0122】

そして、このシングルドレイントランジスタはその半導体層にL D D領域を設

けていないため、ゲート電極GT側のドレイン領域端で電界が大きくなり、信頼性に乏しくなることから、そのゲート絶縁膜に本発明を適用することにより、その不都合を回避している。

【0123】

なお、pチャネル型のMISトランジスタの場合、DAHCSトレスによる信頼性の劣化はnチャネル型のそれより顕著ではないが、そのゲート絶縁膜を上述した構成とすることにより、該ゲート絶縁膜中の固定電荷および界面準位密度の低減による初期特性の向上が得られる効果を奏する。

【0124】

たとえばELAにより結晶化したポリシリコン層の粒径は $0.3 \sim 1.0 \mu\text{m}$ 程度であるが、今後ポリシリコン化の手法が向上し、たとえば $5 \sim 10 \mu\text{m}$ 程度に大粒径化することが予想され、薄膜トランジスタの移動度特性が向上することになる。このことはチャネルに流れる電流が増加し、それに伴うDAHCSによる劣化モードの影響も大きくなることから、そのゲート絶縁膜の上述した構成の効果は多大となる。

【0125】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【0126】

また、上述した実施例は、nチャネル型の薄膜トランジスタとして、LDD領域を備えたものを例示したが、いわゆるGOLD (Gate Overlapped LDD) 構造を有するものであってもよいことはもちろんである。ここで、GOLD構造とは半導体層内のLDD領域のゲート電極側の一部において該ゲート電極とオーバーラップさせて形成したものである。

【0127】

さらに、上述した実施例は、液晶表示装置に備えられた薄膜トランジスタについて説明したものであるが、他の表示装置、たとえば有機EL (Electro Luminescence) 表示装置や、その他の形式の表示装置に備えられた薄膜トランジスタに

も適用できることはいうまでもない。たとえば有機EL表示装置は、その発光層を挟持して配置される一対の電極のうち一方の電極には、液晶表示装置と同様に、ゲート信号線からの走査信号によってオンされる薄膜トランジスタを介してドレイン信号線からの映像信号が供給される構成となっているからである。

【0128】

【発明の効果】

以上説明したことから明らかなように、本発明による表示装置によれば、薄膜トランジスタにおいてその絶縁膜のポリシリコン層に対する界面の準位が高くなるのを回避し、かつ、該絶縁膜中の固定電荷が多くなるのを回避することができる。

【図面の簡単な説明】

【図1】

本発明による表示装置の薄膜トランジスタの一実施例を示す断面図である。

【図2】

本発明による表示装置の薄膜トランジスタのゲート絶縁膜の実施例を示す断面図である。

【図3】

本発明による表示装置の薄膜トランジスタのゲート絶縁膜の炭素濃度分布の実施例を示すグラフである。

【図4】

本発明による表示装置の薄膜トランジスタの特性を示したグラフである。

【図5】

図6とともに、本発明による表示装置のMISトランジスタの製造方法の一実施例を示す工程図である。

【図6】

図5とともに、本発明による表示装置のMISトランジスタの製造方法の一実施例を示す工程図である。

【図7】

本発明による表示装置の薄膜トランジスタのゲート絶縁膜を堆積膜で形成する

際の原料ガスの成分の一実施例を示す分子構造式である。

【図 8】

本発明による表示装置の薄膜トランジスタのゲート絶縁膜を堆積膜で形成する際のデポレートと膜質の関係を示すグラフである。

【図 9】

本発明による表示装置の薄膜トランジスタのゲート絶縁膜を酸素プラズマ法で形成する際の処理時間と酸化膜厚の関係を示すグラフである。

【図 10】

本発明による表示装置の薄膜トランジスタのゲート絶縁膜を UV-O₃ 法で形成する際の処理時間と酸化膜厚の関係を示すグラフである。

【図 11】

本発明による表示装置の薄膜トランジスタのゲート絶縁膜を形成する際の各方法におけるデポレートの関係を示す表である。

【図 12】

ゲート絶縁膜を形成する際のその膜厚と成膜時間との関係を示すグラフである。

【図 13】

本発明による表示装置の薄膜トランジスタのゲート絶縁膜を形成する際のその膜厚と成膜レートとの関係を示した説明図である。

【図 14】

本発明が適用される携帯電話に組み込まれる液晶表示パネルの実施例を示す平面図である。

【図 15】

本発明による表示装置の一実施例を示す等価回路図である。

【符号の説明】

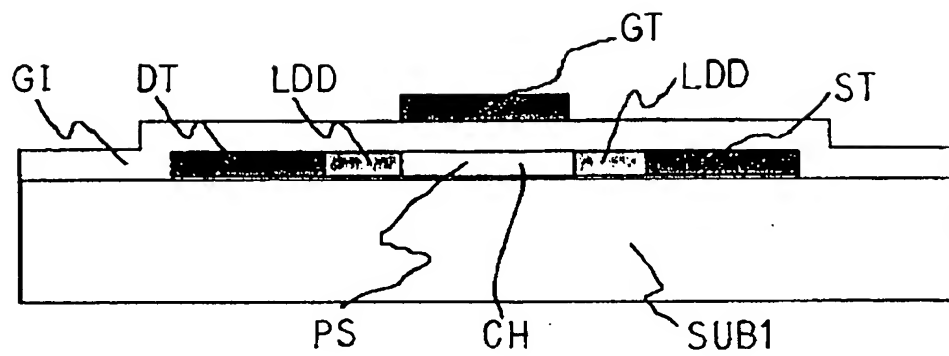
SUB1…透明基板、GL…ゲート信号線、DL…ドレイン信号線、TFT…薄膜トランジスタ、PS…半導体層（ポリシリコン）CH…チャネル領域、DT…ドレイン領域、ST…ソース領域、LDD…LDD領域、GI…ゲート絶縁膜、GT…ゲート電極。

【書類名】

図面

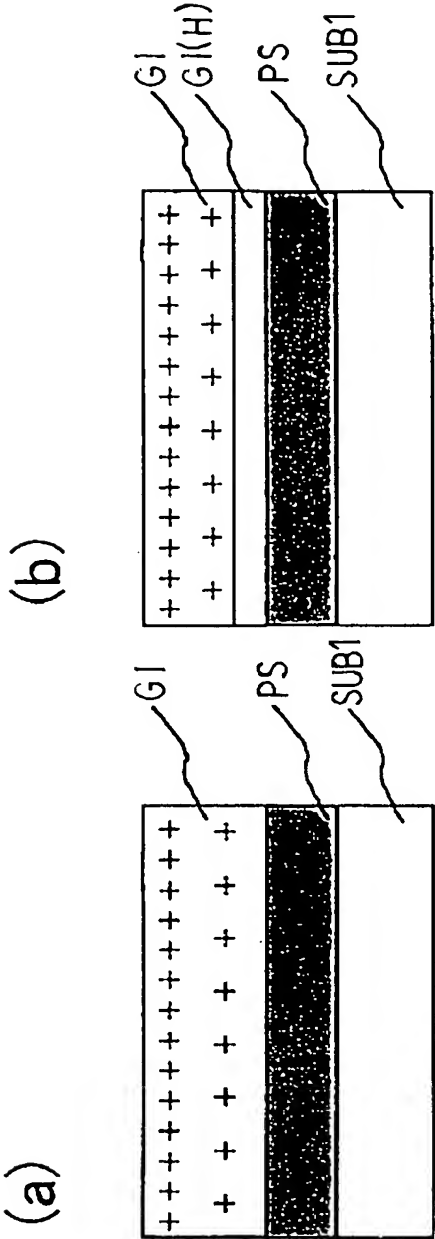
【図 1】

図 1



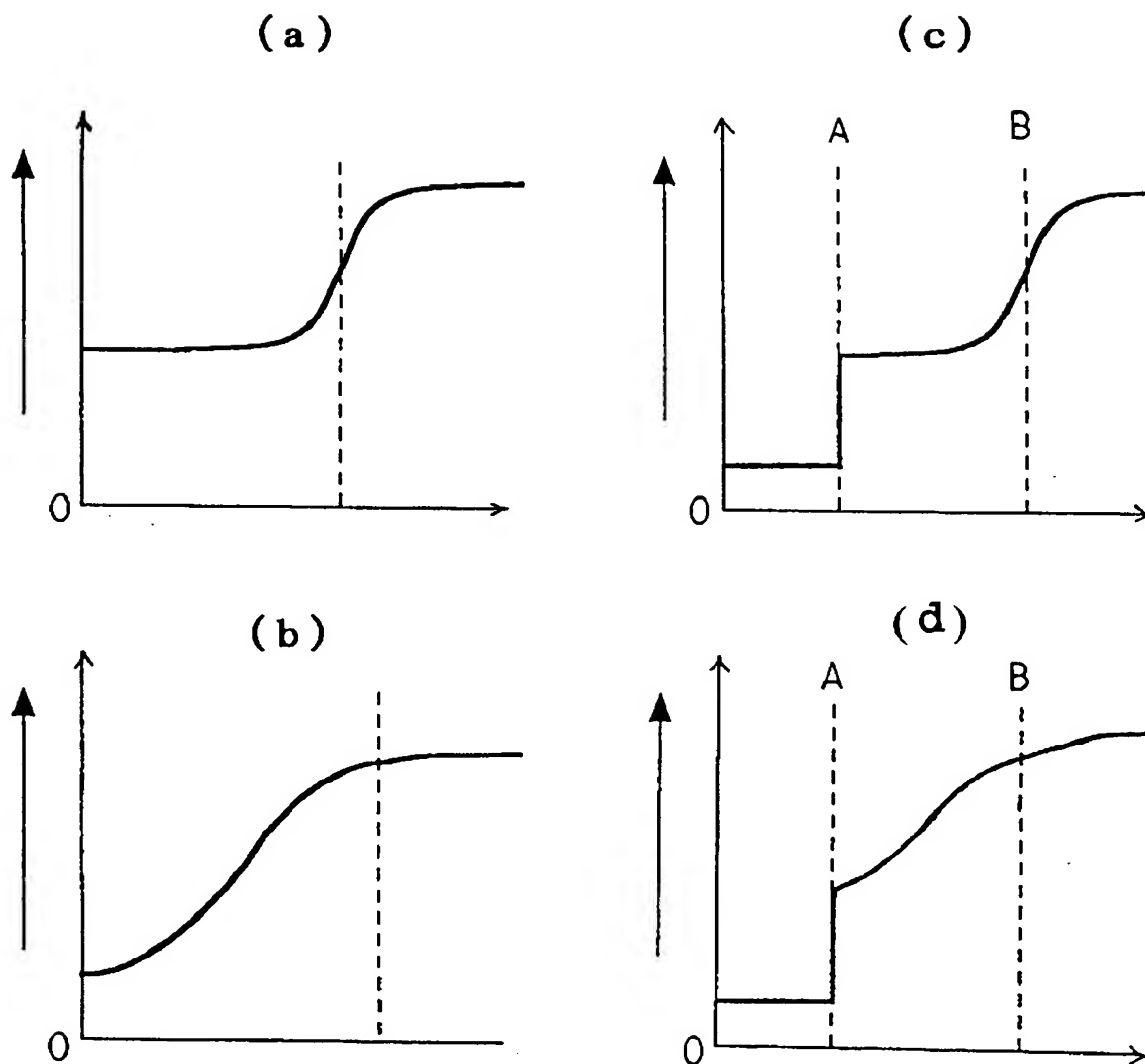
【図 2】

図 2



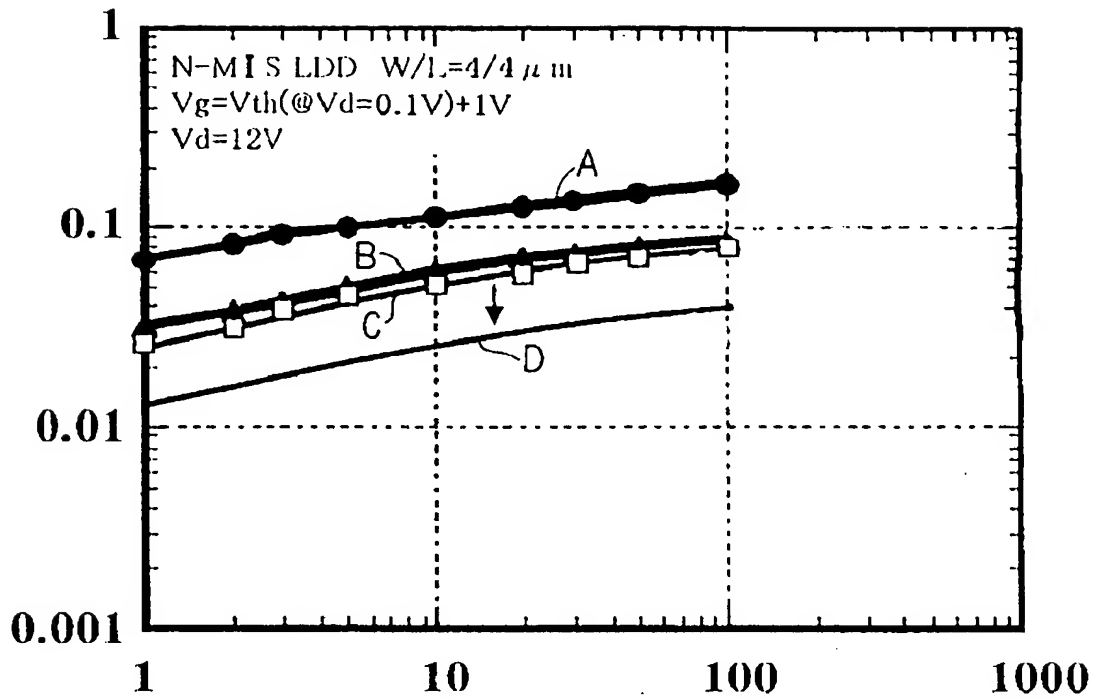
【図 3】

図 3



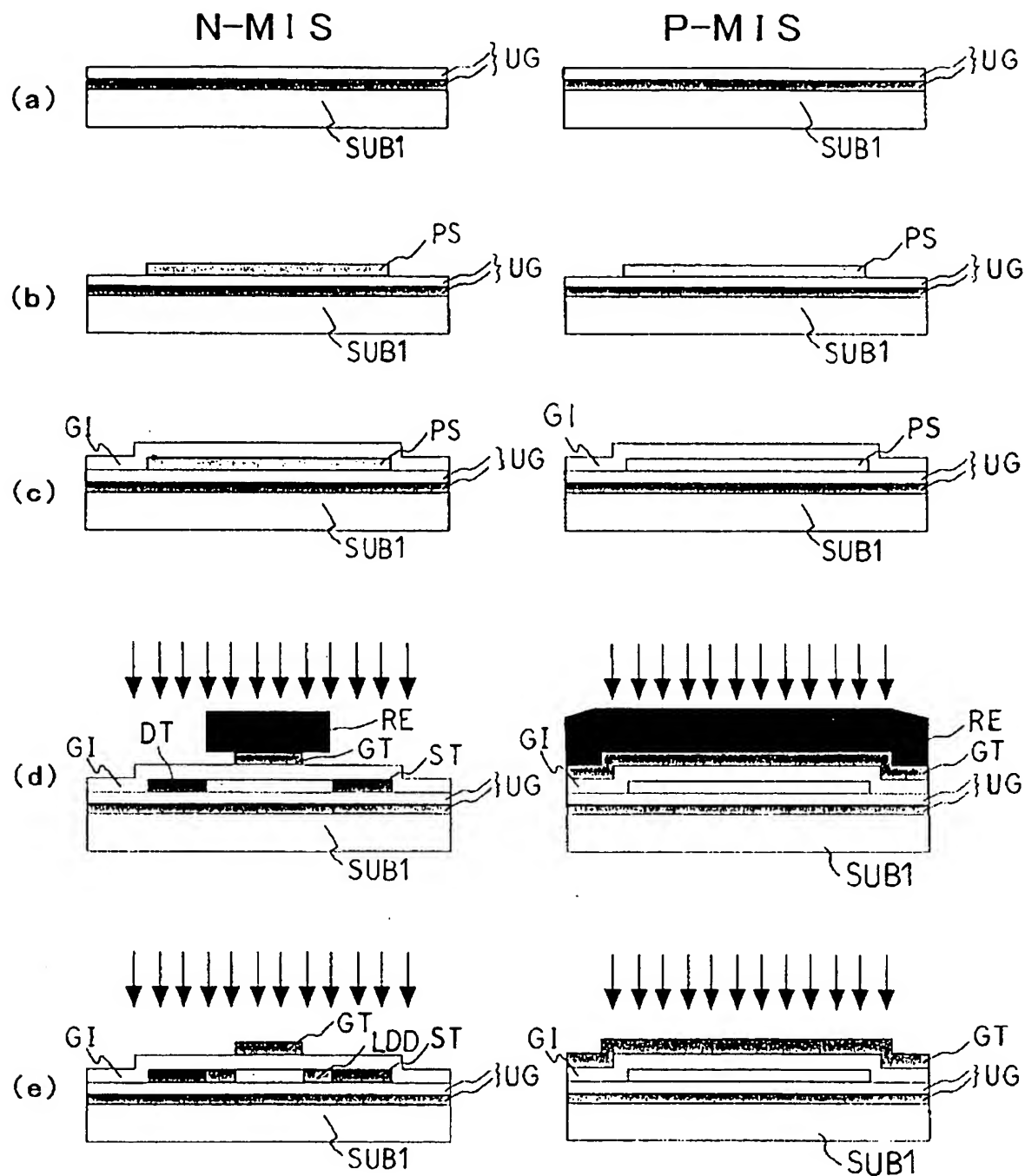
【図 4】

図 4



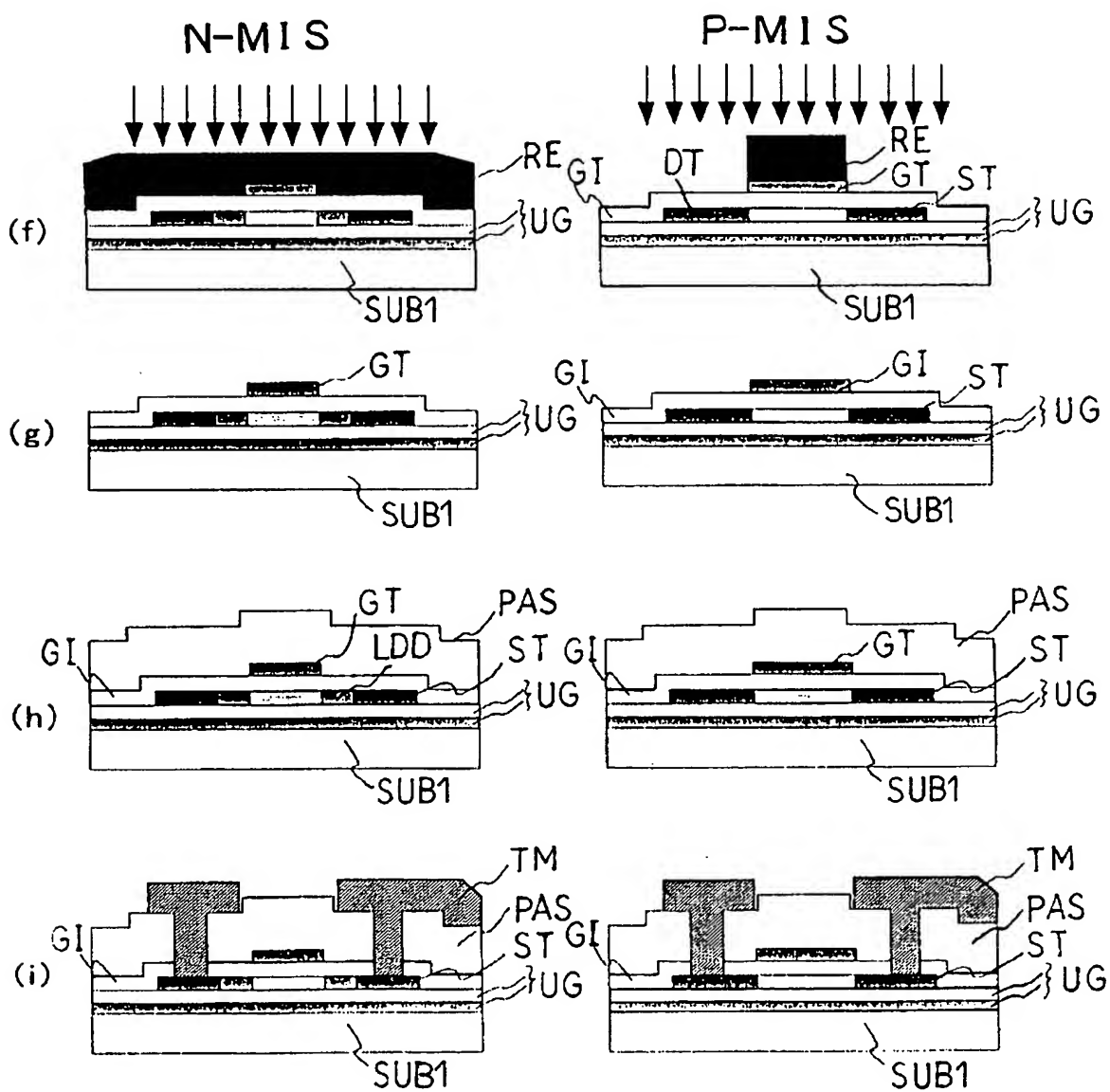
【図 5】

図 5



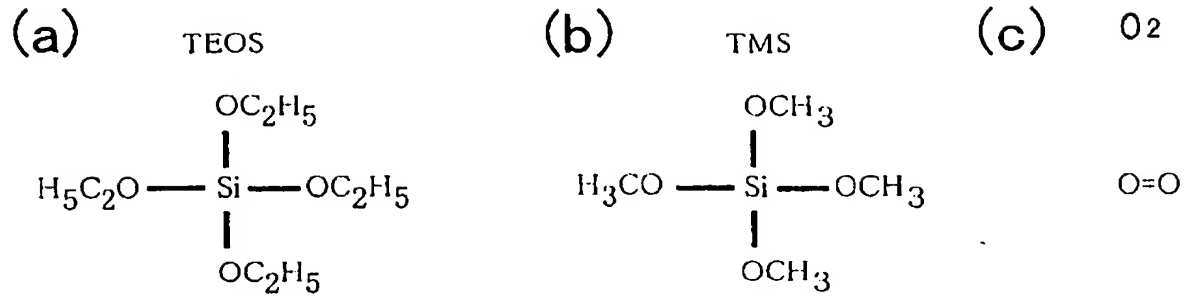
【図 6】

図 6



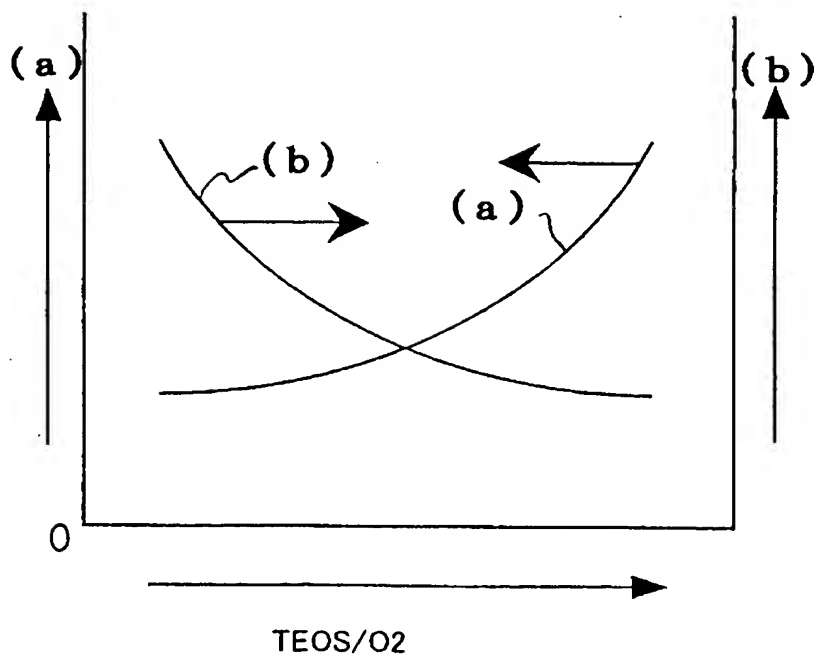
【図 7】

図 7



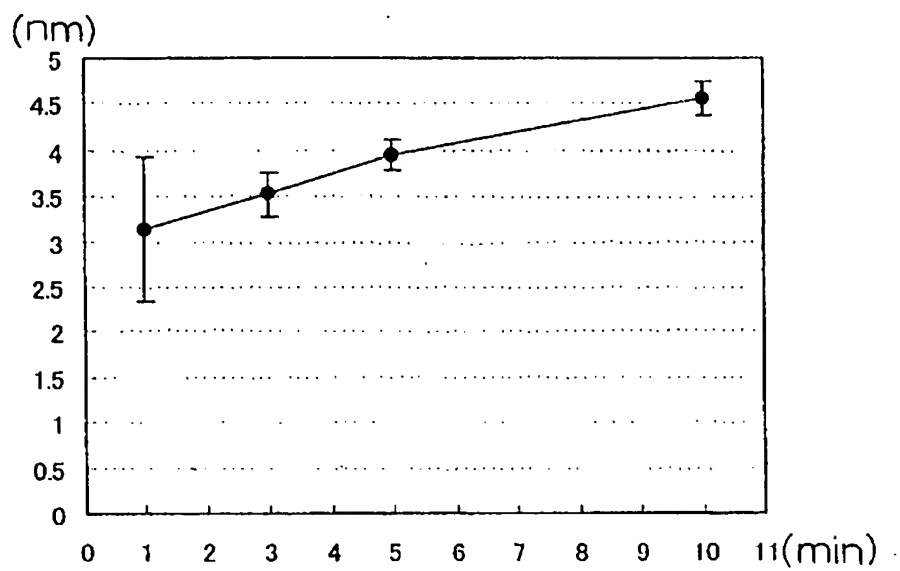
【図 8】

図 8



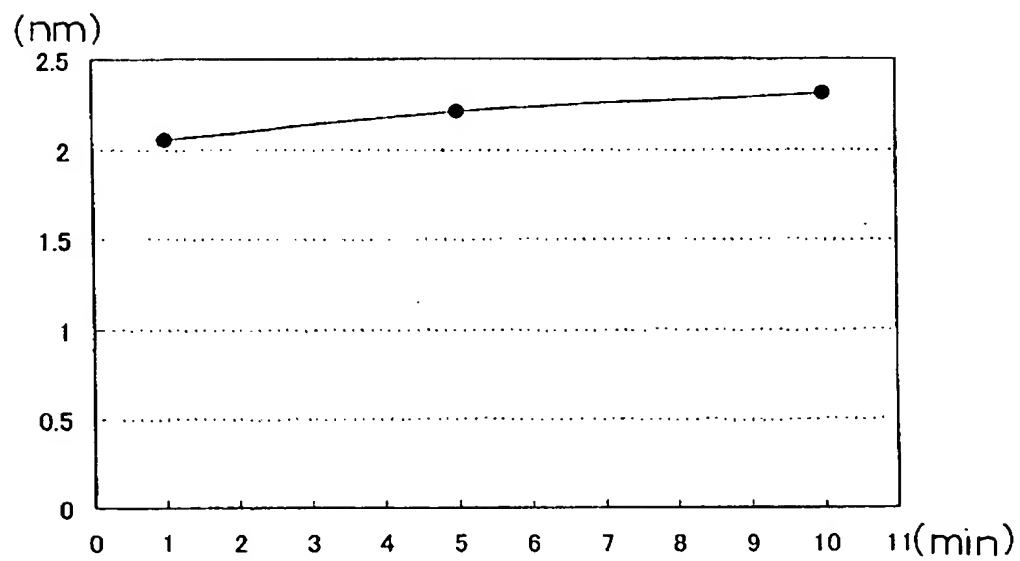
【図 9】

図 9



【図 10】

図 10



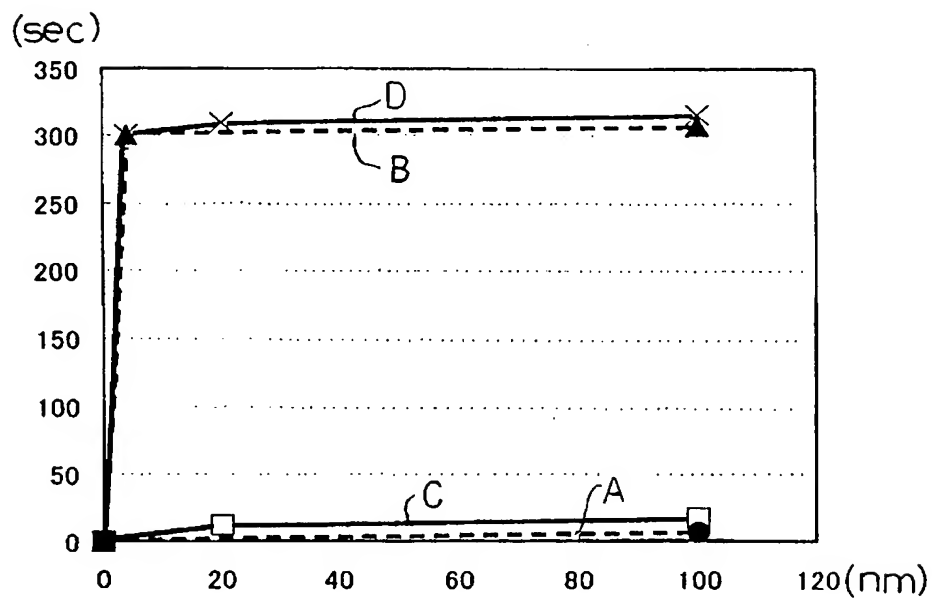
【図 1 1】

図 1 1

	TEOS/O ₂	DEPORATE(nm/min)
plasmaCVD	1:1	800
plasmaCVD	1:5	100
UV-O ₃		2
O ₂ plasma		3

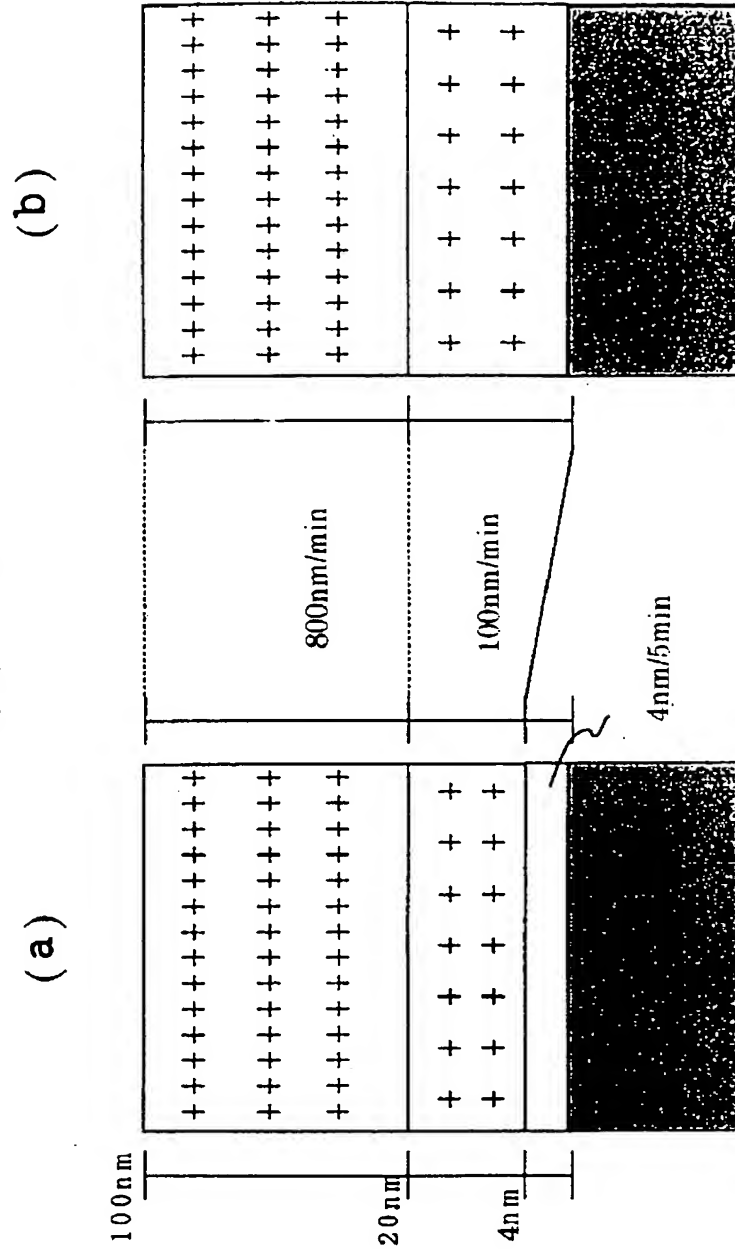
【図 1 2】

図 1 2



【図 13】

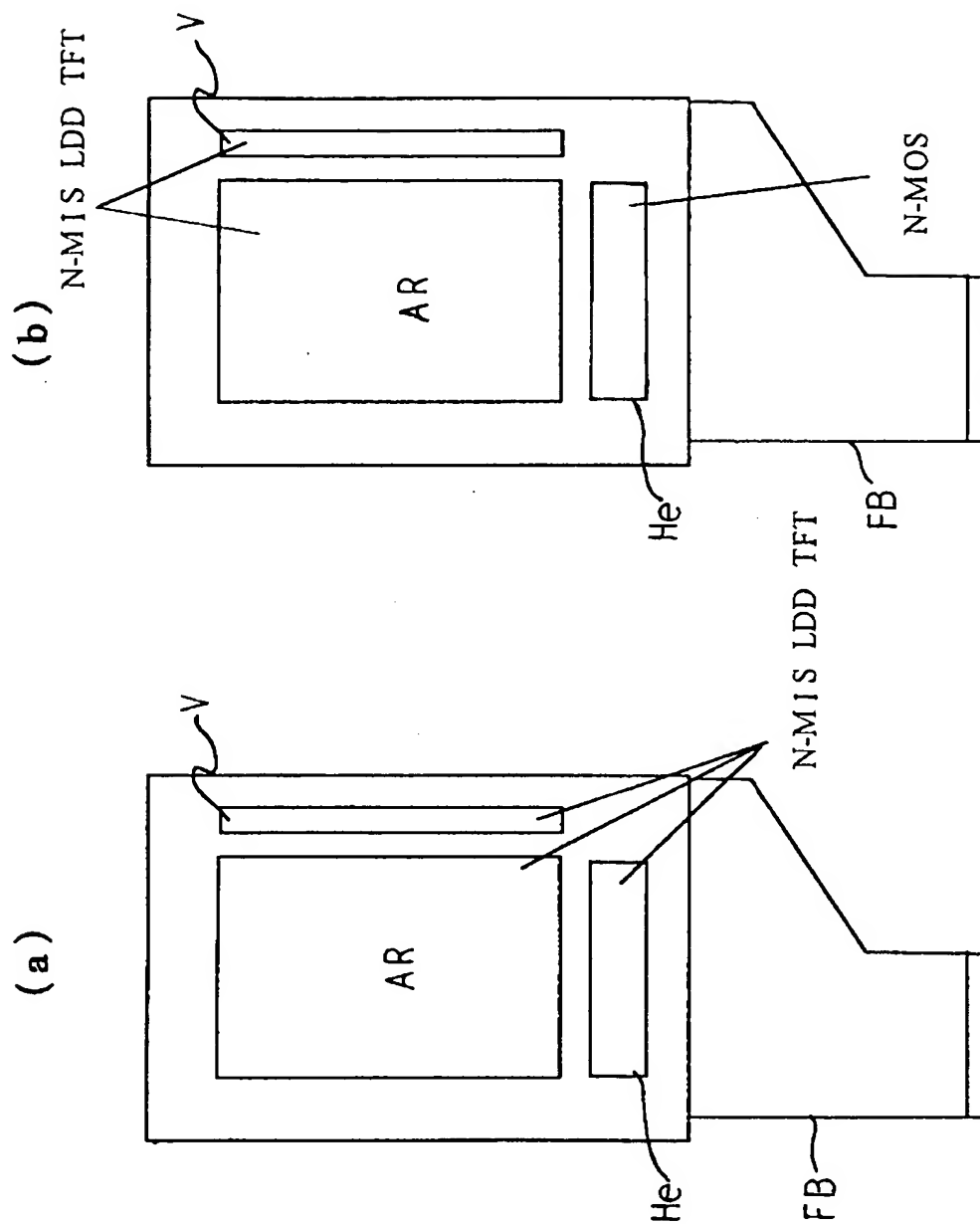
図 13



BEST AVAILABLE COPY

【図 14】

図 14



【書類名】 要約書

【要約】

【課題】 薄膜トランジスタにおいてその絶縁膜のポリシリコン層に対する界面の準位が高くなるのを回避し、かつ、該絶縁膜中の固定電荷が多くなるのを回避する。

【解決手段】 絶縁基板上に薄膜トランジスタを備える表示装置であって、

前記薄膜トランジスタは、半導体層と、ゲート電極と、前記半導体層とゲート電極との間に設けられたゲート絶縁膜とを有し、

前記ゲート絶縁膜は、堆積法によって堆積した堆積膜を少なくとも 1 層有し、

前記半導体層との間に堆積法によって堆積した他の堆積膜を介在させることなく形成された一の堆積膜における炭素濃度が前記半導体層に近い側の方が前記半導体層から遠い側よりも小さくなるような分布を有する。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 0 8 1 2
受付番号	5 0 3 0 0 2 6 2 1 7 1
書類名	特許願
担当官	第二担当上席 0 0 9 1
作成日	平成 1 5 年 2 月 2 4 日

< 認定情報・付加情報 >

【提出日】	平成15年 2月19日
-------	-------------

次頁無

特願 2 0 0 3 - 0 4 0 8 1 2

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ